

CONTROL SYSTEM FOR MEMORY ELEMENT

Patent Number: JP55012571
Publication date: 1980-01-29
Inventor(s): SERIZAWA TSUGUHITO
Applicant(s):: FUJITSU LTD
Requested Patent: ☐ JP55012571
Application Number: JP19780085444 19780713
Priority Number(s):
IPC Classification: G11C7/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To increase the mounting density of memory elements by enabling to use the memory element having a given bit width to the signal smaller in bit width, through the data latch depending on the section of the memory element.

CONSTITUTION: The system consists of the memory element 1 having a plurality of sections, write-in/readout multiplexers 2-0 to 2-3 provided according to each section of the element 1, write-in data selection multiplexers 3-1 to 3-3, latch unit 4 storing the output of the element 1 as section, and multiplexer 5 reading out the output of the unit 4 by one bit. Further, when the serial data is written in the element 1, the data recorded in the corresponding address of each section is read out and stored once in the unit 4, rewriting-in is made except the section written in each data, and when the parallel data recorded is read in as the serial data, the multiplexer 5 is controlled with the section selection signal for the stored data to sequentially read out each section.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭55—12571

⑫ Int. Cl.³
G 11 C 7/00

識別記号

庁内整理番号
6913—5B

⑬ 公開 昭和55年(1980)1月29日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 記憶素子の制御方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭53—85444

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭53(1978)7月13日

川崎市中原区上小田中1015番地

⑱ 発 明 者 芹沢亜人

⑲ 復 代 理 人 弁理士 山谷皓栄

明 細 書

1. 発明の名称

記憶素子の制御方式

2. 特許請求の範囲

複数の区分にわかれている記憶素子と、該記憶素子の上記複数の区分にそれぞれ対応して設けられた書き込み/再書き込み用マルチプレクサと、書き込みデータ選択用マルチプレクサと、上記記憶素子の出力を上記複数の区分に分けて保持するラッチ装置と、該ラッチ装置の出力を1ビットづつ読み出す1ビット読み出し用マルチプレクサを具備し、シリアルデータを上記記憶素子に書き込む場合は、書き込みに際して上記複数の区分の当該番地に記録されたデータを読出して上記ラッチ装置に一度保持させ、上記ラッチ装置に保持された各データを、書き込まれた区分を除き再書き込みする如く構成するとともに、記録されたパラレルデータをシリアルデータとして読むときには、上記ラッチ装置に保持されたデータを、区分選択

用信号により1ビット読み出し用マルチプレクサを制御して、上記複数の区分を順次選択し、シリアルデータとして出力するように構成したことを特徴とする記憶素子の制御方式。

3. 発明の詳細な説明

本発明は、記憶素子の制御方式に関し、特にビット幅の決められた記憶素子をそれよりも小さなビット幅の記憶素子として制御可能な方式を提供するものである。

データ処理装置において、記憶素子を測定する際には、その情報を何ビットで処理するかということにより記憶素子のタイプが決定される。例えばある情報を8ビットで処理するときには1ビット幅の記憶素子を8個使用するか、または4ビット幅の記憶素子を2個使用していた。使用方法によつてはこの8ビットがパラレルに処理される場合とシリアルに処理される場合と2つのものがあり、このような2つの型で処理されたデータを両方使用したい場合がある。

例えば、CRT 表示器やアレイタイプにはシリア

ルに処理されたデータが使用され、またペーパーテープリダーなどではパラレルに処理されたデータが使用されるので、端末等のインターフェイスに使用される記憶素子等においては、小容量のものでよいが、パラレル処理されたデータとシリアル処理されたデータの両方に対応できるものが望まれる。従来では、このような場合には、パラレル処理用のデータに対する記憶素子とシリアル処理用のデータに対する記憶素子はそれぞれ別個のものを使用していたので、記憶素子の実装密度が低い欠点があった。もしも上記した如く、パラレル処理されたデータと、シリアル処理されたデータの両方に利用できる記憶素子の制御方式が得られるならば、従来の如く別個のものを使用する必要もなく、記憶素子の実装密度は、はるかに向上されることになる。

本発明は、特にビット幅のきめられた記憶素子を該ビット幅よりも小さなビット幅の記憶素子としても利用できる如く構成して、このようなパラレル処理されたデータにもシリアル処理されたデ

ータにも使用できる記憶素子の制御方式を提供することを目的とするものであつて、複数の区分にわかれていた記憶素子と、該記憶素子の上記複数の区分にそれぞれ対応して設けられた書き込み／再書き込み用マルチプレクサと、書き込みデータ選択用マルチプレクサと、上記記憶素子の出力を上記複数の区分に分けて保持するラッチ装置と、該ラッチ装置の出力を1ビットずつ読み出す1ビット読み出し用マルチプレクサを具備し、シリアルデータを上記記憶素子に書き込む場合は、書き込みの際に上記複数の区分の当該番地に記録されたデータを読出して上記ラッチ装置に一度保持させ、上記ラッチ装置に保持された各データを、書き込まれた区分を除き再書き込みする如く構成するとともに、記録されたパラレルデータをシリアルデータとして読むときには、上記ラッチ装置に保持されたデータを、区分選択用信号により1ビット読み出し用マルチプレクサを制御して上記複数の区分を順次選択して読み出し、シリアルデータとして出力するように構成したことを特徴と

するものである。

以下、本発明の一実施例を、第1図及び第2図について説明する。第1図(イ)は本発明の一実施例を具体的に説明した回路図、(ロ)はアドレス情報を示し、(ハ)はその一部に印加する制御信号を発生する信号発生部分の説明図、第2図は1ビットデータ書き込み時の各部のパルス発生状態と4ビットデータ書き込み時との記憶素子ビジー信号発生部を示すものである。図中、1は記憶素子で区分1-0, 1-1, 1-2, 1-3の4区分で構成されており、2-0, 2-1, 2-2, 2-3はそれぞれ書き込み／再書き込みマルチプレクサ、3-1, 3-2, 3-3は書き込みデータ選択マルチプレクサ、4はラッチ回路、5はビット読み出し用マルチプレクサ、6, 7はアンドゲート、8はスリーステートゲート、DI-0, DI-1, DI-2, DI-3は入力端子、DT-0, DT-1, DT-2, DT-3は出力端子、9はデコーダ、10, 11はフリップフロップ、12はマルチプレクサ、13はインバータ、14はアンドゲートである。

まず、データがパラレルビツトの形で入出力される記憶素子が使用されている状態で、より少ないビットデータで入出力を行なう場合について、例えば4ビット幅メモリを1ビットとして入力する場合について、第1図にもとづき説明する。

第1図(イ)において、記憶素子1は1K×4ビットの構成をもち単一のチップセレクトCSによつて選択されるが、内部構成はいわば1K×1の4個の記憶区分1-0, 1-1, 1-2, 1-3で構成されていると考えてよい。そして周知の如く、入力端子DI-0, DI-1, DI-2, DI-3に夫々データが印加されたとき、記憶素子1の対応区分1-0, 1-1, 1-2, 1-3に4ビットのパラレルデータとして入力される。

(1) 4K×1ビット記憶素子として使用し、1ビットのシリーズデータを入力する場合

いま、上記の如く構成された1K×4ビットの記憶素子1に1ビットのシリーズデータを区分1-0に書き込む場合について説明する。この場合には、まず、第1図(ロ)で示す如く、ビットA₀乃至A₃により指定された当該書き込むべきアド

レスの内容、即ち各区分1-0乃至1-3内の夫々ビットA₀乃至A₃で指定されるアドレスの情報を、一旦、ラッチ回路4に読み取る。そして該ラッチ回路4により読み取られた情報は、書き込み/再書き込みマルチプレクサ2-0乃至2-3の一方の入力端子に伝達される。

一方、入力端子DI-0には1ビットのシリーズデータが伝達されている。1ビットのシリーズデータが記憶素子1に書き込まれる場合には、書き込み選択マルチプレクサ3-1, 3-2及び3-3を制御するコントロール端子A-1には論理「1」が印加されているので、各書き込み選択マルチプレクサ3-1乃至3-3は、入力端子DI-0に印加された入力信号のみを出力し、他の入力端子DI-1乃至DI-3に印加された入力信号は出力しないように制御されている。また書き込み/再書き込みマルチプレクサ2-0乃至2-3は、制御端子C-0, C-1, C-2及びC-3に論理「0」が印加されるときは、入力端子DI-0と直接接続された上記マルチプレクサ2-0は該入力端子

DI-0からの入力信号を出力し、それ以外の上記マルチプレクサ2-1乃至2-3は書き込みデータ選択マルチプレクサ3-1乃至3-3からの入力信号を出力する。そして上記制御端子C-0乃至C-3に論理「1」が印加されるときは、ラッチ回路4から伝達される信号を出力するように構成されている。

上記制御端子C-0乃至C-3に印加される制御信号は、第1図(ハ)に示す如く、デコーダ9と複数のアンドゲート15-0乃至15-3により構成された制御回路より伝達される。即ち、1ビットシリーズデータを入力するときには、制御端子B-1に論理「1」を印加し、デコーダ9の入力端子に、第1図(ハ)に示すアドレスビットの上位2ビットA₁₀及びA₁₁を印加すると該デコーダ9の該ビットA₁₀及びA₁₁により指示される区分、例えば1-0に対するアンドゲート15-0への出力のみ論理「1」となり、他のアンドゲート15-1乃至15-3への出力はいずれも論理「0」となるので、制御端子C₀にのみ論理「1」が印加さ

れ、他の制御端子C₁乃至C₃には論理「0」が印加される。

したがって、いま1ビットのシリーズデータを入力端子DI-0に印加して、区分1-0に記録する場合には、制御端子A-1及びB-1に論理「1」が印加され、上位ビットA₁₀及びA₁₁により選択された区分1-0への上記書き込み/再書き込みマルチプレクサ2-0に対する制御端子C₀にのみ論理「1」が印加され、他の制御端子C₁乃至C₃には論理「0」が印加されている。それ故、入力端子DI-0に伝達された上記1ビットのシリーズデータは、区分1-0の所定のアドレスにストアされ、他の区分の同アドレスのところには、ラッチ回路4により読み取られていたデータが再びストアされ、以前のデータがそのまま残る形になる。

(2) 1K×4ビット記憶素子として、4ビットの平行データを入力する場合

4ビットの平行データを入力する場合には、制御端子A-1及びB-1に論理「0」を印加す

れば、書き込みデータ選択マルチプレクサ3-1乃至3-3及び書き込み/再書き込みマルチプレクサ2-0乃至2-3は、入力端子DI-0, DI-1, DI-2及びDI-3に印加された信号をそのまま記憶素子1の各区分1-0乃至1-3に伝達し通常の平行4ビット用記憶素子と全く同様に使用できる。

次に、このように記憶されたデータを読み出す場合について説明する。

(3) 4ビットの平行情報を1ビットのシリーズデータとして読み出す場合

平行4ビットで記憶されているデータを1ビットデータとして読み出すときは、まず読み出し信号により当該アドレスの情報をラッチ回路4に保持させる。そしてこの保持した情報をビット読出し用マルチプレクサ5により読み出す。1ビットデータとして読み出す場合、アンドゲート6及び7の共通制御端子D-1に論理「1」を印加する。それからアンドゲート6, 7の他の入力端子に、記憶素子1の区分1-0乃至1-3を選択

する A_{10} と A_{11} の2つのビットを印加し、最初に区分1-0に対する記憶情報を保持したラッチ部を読み出して出力端子DT-0に伝達し、次に区分1-1に対する選択を行つてそのラッチ部の記憶情報を読み出し、更に同様にして、区分1-2に対する記憶情報を読み出し、最後に区分1-3に対する記憶情報を読み出す。このようにしてパラレルビットで記憶されたデータを1ビットデータとして出力端子DT-0より得ることができる。

(4) 1ビットのシリーズデータとして記憶されたデータをそのまま読み出す場合

制御端子D-1に論理「1」を印加し、区分選択用のビット A_{10} 及 A_{11} をアンドゲート6及び7に印加する。したがつて読み出すべき該データの記憶された区分1-0乃至1-3を、アンドゲート6及び7からの信号にもとづき、ビット読み出し用マルチプレクサ5で選択することにより、出力端子DT-0から外部に1ビットデータとして伝達することができる。

即ち、第2図(f)の如き、書き込指示信号WEが、第2図(h)に示す端子E₀に印加されると、フリップフロップ10は該第2図(h)図示の点Aに第2図(f)に示すパルスを生じ、このパルスをフリップフロップ11とアンドゲート14に印加する。1ビットデータを書き込む場合には、制御端子F₁及びF₂には論理「1」が印加されているので、アンドゲート14は論理「1」を出力し、記憶素子1の使用停止を表すMEMBUSY信号を生ずる。次のクロックCLK₁が印加されると、フリップフロップ11が論理「1」を生じ、第2図(h)図示の点Bに第2図(f)に示すパルスを生じる。そしてマルチプレクサ12からこのBのパルスがアンドゲート14に印加されるので、該アンドゲート14は引続いてMEMBUSY信号を出力する。そしてラッチ回路4に保持されたデータは、このパルスBの間に於て記憶素子1に再書き込みが行われるものである。

以上の説明においては、1個の記憶素子を使用した例について説明したが、記憶容量を大きくす

(5) 4ビットのパラレルデータをそのまま読み出す場合

また、パラレル4ビットデータとして記憶されたデータを、そのままのパラレルデータとして読み出す場合には、アンドゲート6及び7の共通制御端子D-1に論理「0」を印加すれば、ビット読み出し用マルチプレクサ5は、区分1-0に対する記憶情報を保持したラッチ部からの出力のみを、出力端子DT-0に伝達し、他の区分1-1乃至1-3に対するラッチ部からの出力は、それぞれ出力端子DT-1乃至DT-3に伝達される。したがつてこの場合には、出力端子DT-0乃至DT-3に生じた出力信号を同時に読み取ることによりパラレルデータを読み取ることができる。

上記した如く、本発明では、1ビットデータが書き込まれる場合には、一旦各区分のデータをラッチ回路4に保持させ、それから再書き込みを行うので、通常の倍のサイクルが必要であり、その間記憶素子1に他からアクセスすることが停止される。

るために複数の記憶素子を使用する場合には、スリーステートゲート8の如き、各複数の記憶素子間を通断する機能を有する素子を設けることが必要である。この場合、選択された記憶素子のスリーステートゲート8にチップ選択信号CSを印加することにより、特定の記憶素子を選択することができる。

以上説明した如く、本発明によれば、ビット幅の決められた記憶素子をそれよりもビット幅の小さな記憶素子として利用可能になり非常に記憶素子の実装密度を非常に高めることができる。即ち、本発明によれば4ビット用の素子を4ビット用にも1ビット用にも書き込むことができ、また4ビットとして書き込まれたデータを4ビットデータとして読むことも、また1ビットデータとして読むことも可能になり、端末器のインターフェイスに使用するのに非常に便利な記憶素子を得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すもので(f)は全

体的な回路図、(ウ)はアドレス情報、(イ)は一部の制御信号発生部の回路図、第2図(イ)は1ビットデータ及び4ビットデータを書き込む場合の各パルスの状態関係を示すものであり、同図(ウ)はMEM BUSY 信号発生部を示すものである。

図中、1は記憶素子、2-0乃至2-3は書き込み/再書き込みマルチプレクサ、3-1乃至3-3は書き込みデータ選択マルチプレクサ、4はラッチ回路、5はビット読み出し用マルチプレクサ、6、7はアンドゲート、8はスリーステートゲート、DI-0乃至DI-3は入力端子、DT-0乃至DT-3は出力端子、9はデコーダ、10、11はフリップフロップ、12はマルチプレクサ、13はインバータ、14はアンドゲートをそれぞれ示す。

特許出願人 富士通株式会社

復代理人弁理士 山谷 昭 榮

図 1

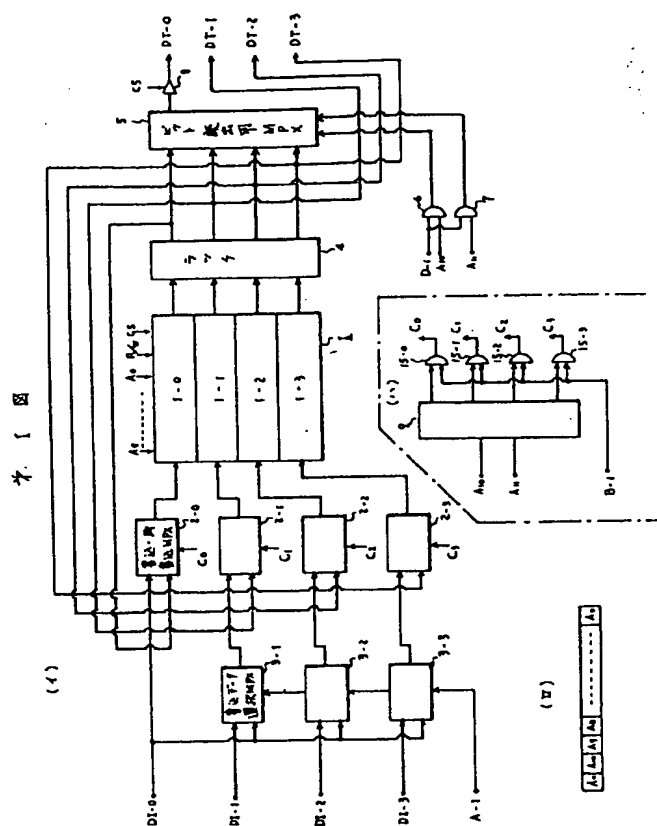
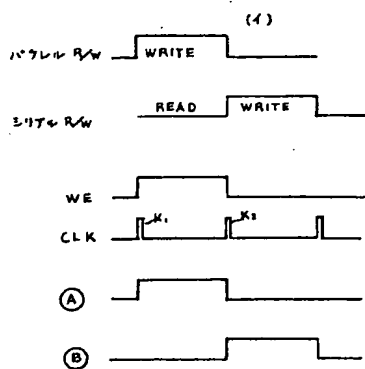


図 2



(ウ)

